明細書

半導体装置およびその製造方法

5 発明の背景

1. 発明の属する技術分野

本発明は、Quad Flat Non-leaded (QFN) パッケージタイプなどの半導体装置およびその製造方法に関する。

2. 従来の技術

10 図 6 は、従来のQ F N パッケージタイプの半導体装置 S 3 を表す平面図である。 図 7 は、図 6 の線 VII – VII に沿った断面図である。半導体装置 S 3 は、半導体チップ 3 1 と、この半導体チップ 3 1 が搭載されたダイパッド 3 2 と、複数のリード 3 3 と、図 6 では透かして表されている封止樹脂 3 4 とを備える。半導体チップ 3 1 は、グランドを図るため、第 1 ワイヤ 4 1 を介してダイパッド 3 2 に電気 15 的に接続されている。また、各リード 3 3 は、第 2 ワイヤ 4 2 を介して半導体チップ 3 1 に電気的に接続されている。封止樹脂 3 4 は、ダイパッド 3 2 の下面 3 2 b およびリード 3 3 の一部を外部に露出させつつ、半導体装置 3 1、第 1 ワイヤ 4 1、および第 2 ワイヤ 4 2 を封入している。

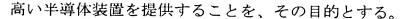
半導体装置S3では、ダイパッド32の下面32bが外部に露出されているた 20 め、図8にて矢印Aで示すように、ダイパッド32と封止樹脂34との境目に水 分が浸入し易い。浸入した水分は、ダイパッド32の上面32aにまで至る場合 がある。半導体装置S3を実装基板(図示略)などに実装するためのリフロー処 理に際して、上面32aに水分が存在した状態でダイパッド32に熱が加えられると、封止樹脂34は、ダイパッド32から剥離して、矢印Bに示す方向に収縮 25 する。すると、第1ワイヤ41に対して封止樹脂34による応力がかかる。その 結果、第1ワイヤ41が切断される場合がある。

発明の開示

そこで本発明は、水分の浸入に起因する封止樹脂の剥離を防止して、信頼性の







本発明の第1の側面によると、半導体装置が提供される。この半導体装置は、第1の面およびこれと反対の第2の面を有し、当該第2の面は露出部と当該露出部の周りの退避部とを有する、ダイパッドと、ダイパッドの第1の面に搭載された半導体チップと、露出部を露出させつつ退避部に接してダイパッドおよび半導体チップを覆う封止樹脂とを備える。

好ましくは、退避部は、退避面と、露出部に隣接して退避面と鋭角をなす側面とにより規定されている。

好ましくは、ダイパッドは、第2の面における退避面および第1の面にて開口 10 するスリットを有する。

好ましくは、ダイパッドは、第2の面における退避面および第1の面にて開口 する複数のスリットを有し、当該複数のスリットは、半導体チップを囲むように 配置されている。

好ましくは、半導体チップおよびダイパッドは、第1ワイヤを介して電気的に 15 接続されており、第1ワイヤは、ダイパッドの第1の面において、ダイパッドの 周端とスリットとの間に接続されている。

好ましくは、半導体装置は、更に、半導体チップとは第2ワイヤを介して電気 的に接続された端子を備え、当該端子は、一部が露出するように封止樹脂に保持 されている。

20 本発明の第2の側面によると、他の半導体装置が提供される。この半導体装置は、半導体チップと、当該半導体チップが搭載される上面とこれとは反対の下面とを有し且つ第1ワイヤを介して半導体チップに電気的に接続されたダイパッドと、第2ワイヤを介して半導体チップに電気的に接続された複数のリードとを備える。ダイパッドの下面が露出された状態で、半導体チップが封止樹脂によって25 封止されている。ダイパッドは、当該ダイパッドの周縁に沿って下面が切り欠かれることによって形成された薄肉部、および、当該薄肉部を貫通する少なくとも

1つのスリットを有する。

好ましくは、封止樹脂は、少なくとも1つのスリットの開口が露出しないよう に、薄肉部の下方に回り込むように設けられている。 好ましくは、少なくとも1つのスリットは、半導体チップの側面に沿って当該 半導体チップを囲むように設けられている。

好ましくは、第1ワイヤは、一端が半導体チップに接続され、他端が、ダイパッド上における、ダイパッドの周端とスリットとの間に接続されている。

5 本発明の第3の側面によると、導体フレームに対して打ち抜き加工を施すことにより、上面とこれと反対の下面を有するダイパッドを形成するとともに、当該ダイパッドの周縁近傍においてダイパッドを貫通するスリットを形成する工程と、ダイパッドの周縁に沿って下面に対してエッチングを施すことにより、ダイパッドに対して薄肉部を、当該薄肉部にてスリットが開口するように、形成する工程と、ダイパッドの上面に半導体チップを搭載する工程と、半導体チップとダイパッドとをワイヤボンディングする工程と、ダイパッドの下面が露出するように、封止樹脂により半導体チップを封止する工程とを含む。

本発明のその他の特徴および利点は、添付図面を参照して以下に行う詳細な説明によって、より明らかとなろう。

15

図面の簡単な説明

- 図1は、本発明の第1の実施形態に係る半導体装置の平面図である。
- 図2は、図1の線 II-II に沿った断面図である。
- 図3は、本発明の第2の実施形態に係る半導体装置の断面図である。
- 20 図4は、本発明に係る半導体装置の製造方法を表す図である。
 - 図5は、本発明に係る半導体装置の製造方法を表す図である。
 - 図6は、従来の半導体装置の平面図である。
 - 図7は、図6の線 VII-VII に沿った断面図である。
 - 図8は、封止樹脂の剥離を説明するための図である。

25

<u>発明を実施するための最良の形態</u>

以下、本発明の好ましい実施の形態を、図1~図5を参照して具体的に説明する。

図1は、本発明の第1の実施形態に係る半導体装置S1の平面図である。図2

10

15

は、図1の線 II-II に沿った断面図である。半導体装置 S1は、上面1aおよび側面1bを有する半導体チップ1と、上面2aおよび下面2bを有するダイパッド2と、外部端子接続用の複数のリード3と、図1では透かして表されている封止樹脂4と、グランドボンディング用の第1ワイヤ11と、複数の第2ワイヤ12とを備える。

半導体チップ1は、例えばLSIチップや他のICチップとして、シリコンチップの片面上に所望の電子回路が集積されたものである。半導体チップ1の上面1 aには、複数の電極パッド(図示略)が設けられている。電極パッドは、例えば、良好な導電接続性を得るために、半導体チップ1の上面1 aに設けられたアルミニウム製の電極に対して金メッキを施すことによって形成される。

半導体チップ1のグランド用の電極パッドには、金などからなる第1ワイヤ11の一端がボンディングされている。第1ワイヤ11の他端は、ダイパッド2の上面2aに接続されている。半導体装置S1が実装基板(図示略)上に表面実装されるとき、通常、ダイパッド2の下面2bは、実装基板に形成されたグランドパターンに接続される。このように、第1ワイヤ11を介して、半導体チップ1のグランドが達成されている。

半導体チップ1上の他の電極パッドには、金線などからなる第2ワイヤ12の一端がボンディングされる。第2ワイヤ12の他端は、半導体チップ1の周囲に並設されている複数のリード3の一つの上面3aに接続されている。

20 ダイパッド2は、半導体チップ1の外形より大きく所定の厚みを有する銅などの薄肉金属板である。ダイパッド2の上面2aの中央部には、接着剤を介して半導体チップ1が接合される。ダイパッド2は、下面2bの周縁領域が切り欠かれることによって形成された薄肉部5を有する。

薄肉部 5 は、ダイパッド 2 における他の部分の約 1 / 2 の厚みを有する。薄肉 25 部 5 におけるダイパッド 2 の下面 2 b 側は、退避面 6 a および側面 6 b により規定されている。本実施形態では、側面 6 b は退避面 6 a に対して略垂直である。 薄肉部 5 には、その厚み方向に貫通する複数のスリット 9 が、半導体チップ 1 を 囲むようにして形成されている。図 1 によく表れているように、各スリット 9 は、半導体チップ 1 の側面 1 b に沿っている。前述のように、第 1 ワイヤ 1 1 の一端

15

は半導体チップ1の上面1aに設けられた電極パッドに接続され、他端は、ダイパッド2上において、スリット9とダイパッド2の周端との間に接続されている。 そのため、第1ワイヤ11は、スリット9を跨ぐような状態に配される。

リード3は、ダイパッド2と同様に、銅などの薄肉金属板によって形成された 5 ものである。リード3は、半導体チップ1の各側面1bに沿って相互に離隔して 配されている。

封止樹脂4は、例えば熱硬化性を有するエポキシ樹脂からなる。図2によく表れているように、封止樹脂4は、ダイパッド2の下面2bの一部ならびにリード3の下面3bおよび側面3cを外部に露出させつつ、半導体チップ1、第1ワイヤ11、第2ワイヤ12、ダイパッド2の上面、およびリード3を封入または覆っている。封止樹脂4がダイパッド2の薄肉部5を包容しているため、薄肉部5に形成されたスリット9の開口9aは、外部に露出していない。

半導体装置S1を実装基板(図示略)に表面実装する際には、ハンダペーストが塗布された実装基板の配線パターンに対してダイパッド2の下面2bおよびリード3の下面3bが接触するように、半導体装置S1を載置する。このとき、ダイパッド2の下面2bは、配線パターンに含まれるグランドパターンに接触させられる。次いで、ハンダペーストを加熱してハンダリフロー処理を行う。これにより、半導体装置S1と実装基板とが、ダイパッド2およびリード3を介して電気的に接続される。

20 このような構成の半導体装置S1によると、ダイパッド2の上面2aへの水分の浸入を防止または軽減することができる。半導体装置S1では、ダイパッド2 および封止樹脂4の境目が外部に露出しているため、側面6bと封止樹脂4との間に水分が浸入することがある。しかし、側面6bに略垂直な退避面6aによって、浸入した水分の更なる進行は妨げられる。そのため、第1ワイヤ11が接続されているダイパッド2の上面2aに水分が到達することは、防止または充分に軽減され、これによって、リフロー処理時の封止樹脂4の剥離を適切に回避することができる。その結果、封止樹脂4の剥離に起因する第1ワイヤ11の断線が生じていない信頼性の高い半導体装置を提供することが可能となる。

半導体装置 S 1 では、封止樹脂 4 が薄肉部 5 を包容し且つ薄肉部 5 に設けられ

10

ているスリット9を填塞しているため、ダイパッド2および封止樹脂4の接合において、いわゆるアンカー作用が生ずる。これにより、ダイパッド2および封止樹脂4の密着性を高め、例えば封止樹脂4からダイパッド2が脱落することを防止することができる。また、封止樹脂4は、薄肉部5の下方に回り込んでスリット9の開口9aを塞いでいるため、スリット9への水分の浸入は防止または充分に軽減されている。

更に、半導体装置 S 1 では、ダイパッド 2 において半導体チップ 1 の周囲に形成された複数のスリット 9 に、封止樹脂 4 が填塞されて係合している。そのため、万一ダイパッド 2 の上面 2 a に水分が浸入して半導体チップ 1 の近傍において封止樹脂 4 の剥離が生じたとしても、ダイパッド 2 の周縁側への剥離の進行は半導体チップ 1 の周囲に形成されているスリット 9 にて阻止されることになる。このように、スリット 9 を設けることによって、剥離の広がりを防止することができる。一端が半導体チップ 1 に接続されている第 1 ワイヤ 1 1 の他端は、ダイパッド 2 上においてスリット 9 とダイパッド 2 の周端との間に接続されているため、

15 封止樹脂4の剥離の影響を受けない。そのため、第1ワイヤ11のダイパッド2 に対するボンディング状態を良好に確保することができる。

スリット9のダイパッド2における形成位置は、封止樹脂4の剥離を防止する目的では、ダイパッド2において薄肉部5よりも内方に設けられてもよい。ただし、このようにダイパッド2を形成すると、スリット9の開口9aが外部に露出し、水分がスリット9の内面を伝ってダイパッド2の上面2aに達する可能性が高くなる。そのため、水分浸入の防止の観点からは、スリット9は、薄肉部5を貫通するように形成されるのが望ましい。スリット9に代わり、ダイパッド2の上面2aに封止樹脂4が係合可能な凹部を形成してもよい。凹部はダイパッド2の下面2bにて開口しないため、凹部をダイパッド2において薄肉部5よりも内25方に設けても、これに起因する水分浸入は生じない。

図3は、本発明の第2の実施形態に係る半導体装置S2の断面図である。半導体装置S2は、側面6bについて半導体装置S1と異なる。本実施形態では、側面6bは、退避面6aに接近するほど半導体チップ1の中心に向かうように形成されている。すなわち、側面6bは、退避面6aと鋭角をなすように形成されて

10

15

20

25

いる。その他の構成については、半導体装置S1に関して上述したのと略同様である。

半導体装置S2においては、封止樹脂4は、ダイパッド2の内方に食い込むように形成されているので、ダイパッド2と封止樹脂4との密着性をより高めることができる。なお、側面6bの形状は、ダイパッド2と封止樹脂4との密着性を維持できるものであれば、これらの形状に限定されるものではない。

図4および図5は、本発明に係る半導体装置製造方法を表す。まず、一定方向に延びる導体フレーム15を準備する。次いで、図4に示すように、導体フレーム15に対して打ち抜きプレス加工を施す。具体的には、複数の送り孔16が一定間隔で穿設された2条の支持バー17の間に、ダイパッド2が導体フレーム15の長手方向に一定間隔で複数個形成されるように、導体フレーム15に対して打ち抜きプレス加工を施す。このとき、ダイパッド2には、その角にダイパッド2を支持するための連結リード18が接続して形成される。ダイパッド2の周縁近傍には、複数のスリット9が形成される。ダイパッド2の周囲には、複数のリード3が形成される。

次いで、ダイパッド2の下面2bの周縁近傍をエッチングにより除去して、薄肉部5を形成する。エッチング箇所には、スリット9の形成領域が含まれる。このとき、例えばウェットエッチングによって、ダイパッド2の周縁近傍は、ダイパッド2における他の部分の約1/2の厚みとなるまでエッチングされる。薄肉部5は、他の部分の厚みが所定値以上の厚みを有するときには、打ち抜きプレス加工において他の形状を成形する際に同時に形成してもよい。あるいは、図4に示す導体フレーム15の形状は、エッチングによって形成してもよい。

次いで、ダイパッド2の上面2aの中央部に半導体チップ1をダイボンディングする。次いで、半導体チップ1のグランド用の電極パッドおよびダイパッド2の上面2aに対して、第1ワイヤ11をボンディングする。ダイパッド2に対しては、第1ワイヤ11は、スリット9とダイパッド2の周端との間に接続される。次いで、半導体チップ1の他の各電極パッドおよび各リード3に対して、第2ワイヤ12をボンディングする。

次いで、図5に示すように、上金型21と下金型22との間に導体フレーム1

10

5を介挿する。このとき、ダイパッド2における薄肉部5以外の下面2bおよびリード3の下面3bを、下金型22に密着させる。次いで、上金型21および下金型22によって規定されるキャビティ23に、エポキシ樹脂などの溶融したパッケージング用の樹脂を充填し、これを固化させる。このとき、リード3の下面3bと下金型22との間、およびダイパッド2における薄肉部5以外の下面2bと下金型22との間には隙間が生じていないので、下面3bおよび薄肉部5以外の下面2bは、樹脂に覆われない。樹脂の固化後、樹脂パッケージされた半導体装置S1を上金型21と下金型22との間から取り出す。次いで、リード3などにおける不要部分を切除する。このようにして、樹脂パッケージされた半導体装置S1が完成する。

本発明に係る半導体装置製造方法によると、半導体装置S2を製造することもできる。半導体装置S2の製造にあっては、薄肉部5の形成に際して、例えば所定のオーバーエッチングを施すことによって、退避面6aと鋭角をなす側面6bを形成してもよい。

15 本発明の範囲は上述した実施の形態に限定されるものではない。例えば、半導体チップ1の構成やダイパッド2の材質、形状、大きさなどについては、上述の 実施形態に限られない。

請求の範囲

- 1. 第1の面およびこれと反対の第2の面を有し、当該第2の面は露出部と当該露出部の周りの退避部とを有する、ダイパッドと、
- 5 前記ダイパッドの前記第1の面に搭載された半導体チップと、

前記露出部を露出させつつ前記退避部に接して前記ダイパッドおよび前記半導体チップを覆う封止樹脂とを備える、半導体装置。

- 2. 前記退避部は、退避面と、前記露出部に隣接して前記退避面と鋭角をなす側 10 面とにより規定されている、請求項1に記載の半導体装置。
 - 3. 前記ダイパッドは、前記第2の面における前記退避面および前記第1の面にて開口するスリットを有する、請求項1に記載の半導体装置。
- 15 4. 前記ダイパッドは、前記第2の面における前記退避面および前記第1の面に て開口する複数のスリットを有し、当該複数のスリットは、前記半導体チップを 囲むように位置する、請求項1に記載の半導体装置。
- 5. 前記半導体チップおよび前記ダイパッドは、第1ワイヤを介して電気的に接 20 続されており、前記第1ワイヤは、前記ダイパッドの前記第1の面において、前 記ダイパッドの周端と前記スリットとの間に接続されている、請求項3に記載の 半導体装置。
- 6. 更に、前記半導体チップとは第2ワイヤを介して電気的に接続された端子を 25 備え、当該端子は、一部が露出するように前記封止樹脂に保持されている、請求 項1に記載の半導体装置。
 - 7. 半導体チップと、当該半導体チップが搭載される上面とこれとは反対の下面 とを有し且つ第1ワイヤを介して前記半導体チップに電気的に接続されたダイパ



ッドと、第2ワイヤを介して前記半導体チップに電気的に接続された複数のリードとを備え、前記ダイパッドの前記下面が露出された状態で前記半導体チップが 封止樹脂によって封止された半導体装置であって、

前記ダイパッドは、当該ダイパッドの周縁に沿って前記下面が切り欠かれる 5 ことによって形成された薄肉部、および、当該薄肉部を貫通する少なくとも1つ のスリットを有する、半導体装置。

- 8. 前記封止樹脂は、前記少なくとも1つのスリットの開口が露出しないように、前記薄肉部の下方に回り込むように設けられている、請求項7に記載の半導体装置。
- 9. 前記少なくとも1つのスリットは、前記半導体チップの側面に沿って当該半導体チップを囲むように設けられている、請求項8に記載の半導体装置。
- 15 10. 前記第1ワイヤは、一端が前記半導体チップに接続され、他端が、前記ダイパッド上における、前記ダイパッドの周端と前記スリットとの間に接続されている、請求項8に記載の半導体装置。
- 11. 導体フレームに対して打ち抜き加工を施すことにより、上面とこれと反対の 20 下面を有するダイパッドを形成するとともに、当該ダイパッドの周縁近傍におい て前記ダイパッドを貫通するスリットを形成する工程と、

前記ダイパッドの周縁に沿って前記下面に対してエッチングを施すことにより、前記ダイパッドに対して薄肉部を、当該薄肉部にて前記スリットが開口するように、形成する工程と、

25 前記ダイパッドの上面に半導体チップを搭載する工程と、

前記半導体チップと前記ダイパッドとをワイヤボンディングする工程と、

前記ダイパッドの下面が露出するように、封止樹脂により半導体チップを封止する工程と、を含む、半導体装置の製造方法。



要約

ダイパッドと、半導体チップと、封止樹脂とを備える半導体装置およびその製造方法が提供される。ダイパッドは、第1の面およびこれと反対の第2の面を有し、当該第2の面は露出部と当該露出部の周りの退避部とを有する。半導体チップは、ダイパッドの第1の面に搭載されている。封止樹脂は、ダイパッドの露出部を露出させつつ退避部に接してダイパッドおよび半導体チップを覆う。

Date of Deposit OCTOBUL 17, 200/
It creby certify that this paper or fee is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 CFR 1.10 on the date indicated above and is addressed to the Commissioner of Patents and Trademarks, Washington, D. C. 20231

CHETS STOKEDA-HI

signature

printed name

Inventor: KASUYA, Yasumasa
Docket No.: 10921.102US01
Title: SEMICONDUCTOR DEVICE AND METHOD OF MAKE THE SAME
Attorney Name: Douglas P. Mueller
Phone No.: 612.371.5237
Sheet I of 5

FIG.1

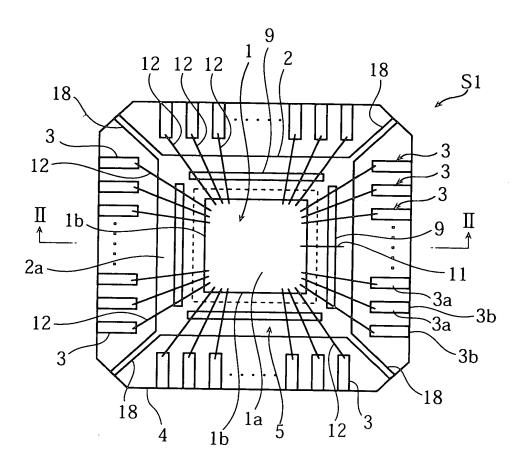
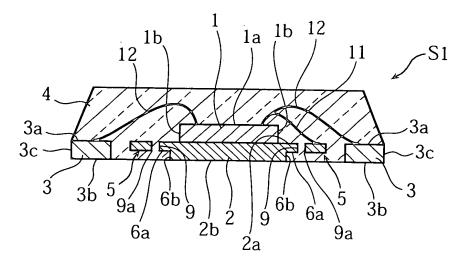


FIG.2



Inventor: KASUYA, Yasumasa
Docket No.: 10921.102US01
Title: SEMICONDUCTOR DEVICE AND METHOD OF MAKE THE SAME
Attorney Name: Douglas P. Mueller
Phone No.: 612.371.5237
Sheet 2 of 5

FIG.3

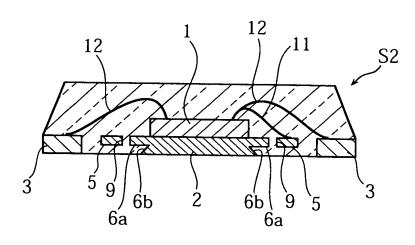
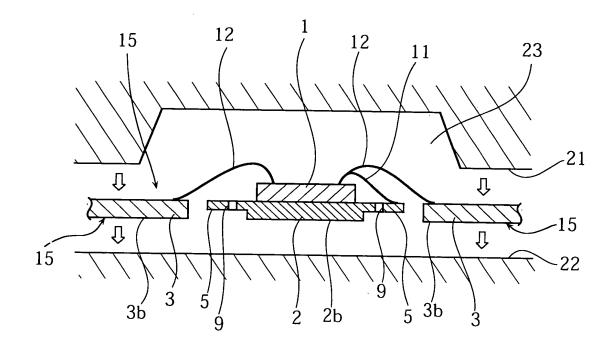
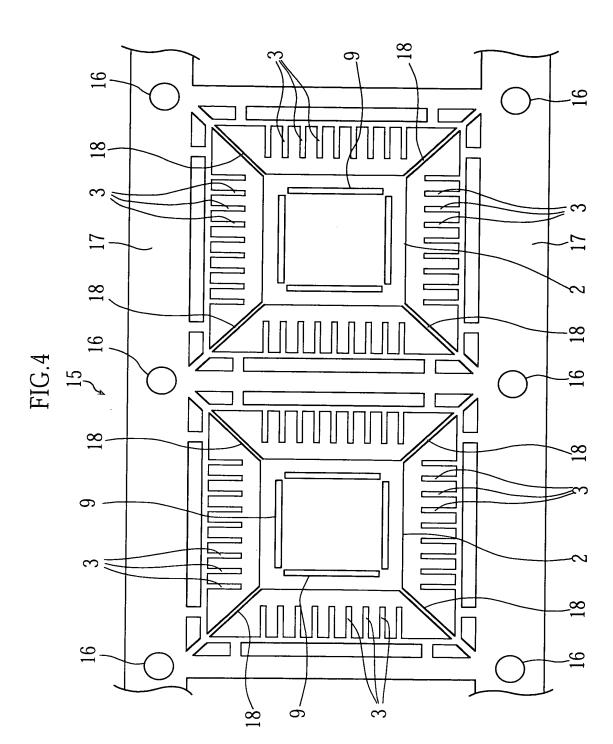


FIG.5



Inventor: KASUYA, Yasumasa
Docket No.: 10921. ¿02US01
Title: SEMICONDUCTOR DEVICE AND METHOD OF MAKE THE SAME
Attorney Name: Douglas P. Mueller
Phone No.: 612.371.5237
Sheet 3 of 5



Inventor: KASUYA, Yasumasa
Docket No.: 10921.102US01.
Title: SEMICONDUCTOR DEVICE AND METHOD OF MAKING SUE SAME
Attorney Name: Douglas P. Mueller
Phone No.: 612.371.5237
Sheet 4 of 5

FIG.6 PRIOR ART

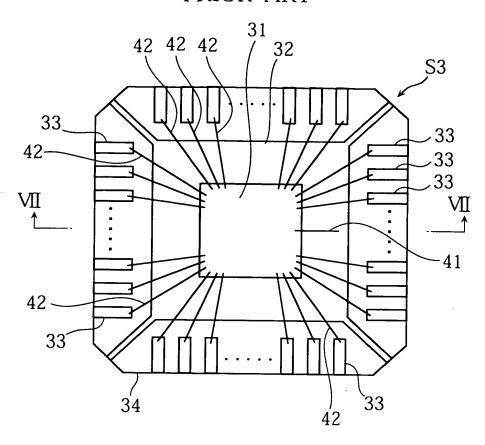
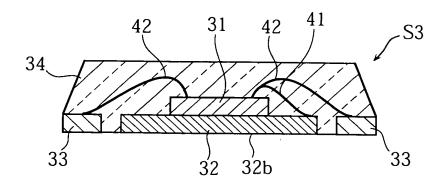


FIG.7 PRIOR ART



Inventor: KASUYA, Yasumasa
Docket No.: 10921.102US01

Mitle: SEMICONDUCTOR DEVICE AND METHOD OF MAKING THE SAME orney Name: Douglas P. Mueller
The No.: 612.371.5237

Sileet 5 of 5

FIG.8 PRIOR ART

